

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Mizuki ONO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2002-259598

MONTH/DAY/YEAR

September 5, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and

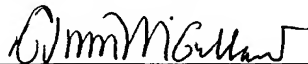
☐ (B) Application Serial No.(s) _____

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月 5日

出 願 番 号

Application Number:

特願2002-259598

[ST.10/C]:

[JP 2002-259598]

出 願 人

Applicant(s):

株式会社東芝

2003年 2月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3005086

【書類名】 特許願

【整理番号】 13B0260231

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置

【請求項の数】 4

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 小野 瑞城

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 西山 彰

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ゲート絶縁膜が形成された位置を挟むように互いに離間して前記半導体基板表面に形成されたソース領域及びドレイン領域とを備える第 1 及び第 2 の電界効果トランジスタを備えた第 1 の回路と、

前記第 1 の回路に前記第 1 の回路の入出力部として接続され、前記第 1 の回路よりも高い電圧で駆動される第 2 の回路とを具備し、

前記第 1 の電界効果トランジスタのドレイン領域に接続された第 1 の負荷容量は、前記第 2 の電界効果トランジスタのドレイン領域に接続された第 2 の負荷容量よりも大きく、前記第 1 の電界効果トランジスタのゲート絶縁膜は、前記第 2 の電界効果トランジスタのゲート絶縁膜よりも平均比誘電率が高いことを特徴とする半導体装置。

【請求項 2】

前記第 1 の電界効果トランジスタのゲート絶縁膜は、非晶質と結晶質との混合物で形成され、前記第 2 の電界効果トランジスタのゲート絶縁膜は、全体が非晶質で形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 及び第 2 の電界効果トランジスタのゲート絶縁膜は、非晶質と結晶質との混合物で形成され、前記第 1 の電界効果トランジスタは、前記第 2 の電界効果トランジスタよりもゲート絶縁膜中における結晶質の量が多いことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記第 1 及び第 2 の電界効果トランジスタのゲート絶縁膜は珪素、酸素及び金属を含むことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は半導体装置に関する。

【 0 0 0 2 】

【従来の技術】

従来の L S I （大規模集積回路）装置に用いられている電界効果トランジスタは、動作速度を高速化するため並びに消費電力を低減するために素子を微細化することが進められている。素子を微細化する方法として、特にゲート絶縁膜の実効的な厚さを薄くすることがなされている。

【 0 0 0 3 】

しかしながら従来ゲート絶縁膜に用いられてきた酸化シリコン膜を薄膜化すると、これにトンネル電流が流れてしまうという問題が生じる。そこで酸化シリコンに比べて比誘電率の高い金属シリケート材料をゲート絶縁膜として用いることがなされている。金属シリケート材料で形成されたゲート絶縁膜は、酸化シリコン換算膜厚で 1 n m 程度にしても実際の物理膜厚はトンネル電流を防ぐほど十分に厚くすることができる。

【 0 0 0 4 】

また、電源電圧を一定にしながら集積回路の高性能化を図るために、入出力回路を構成するトランジスタについては高い電圧で駆動し、入出力部以外の内部回路を構成するトランジスタについては低い電圧で駆動する方法がある。このために入出力回路を構成するトランジスタは酸化シリコン系材料からなるゲート絶縁膜を有し、内部回路を構成するトランジスタは酸化シリコン系材料よりも誘電率の高い高誘電体材料を含むゲート絶縁膜を有する L S I 装置が提案されている（特許文献 1 参照）。

【 0 0 0 5 】

【特許文献 1】 特開 2 0 0 0 - 3 0 7 0 1 0 公報

【 0 0 0 6 】

【発明が解決しようとする課題】

このように L S I 装置では、さまざまな負荷容量が接続された電界効果トランジスタが集積化されている。

【0 0 0 7】

しかしながら従来の L S I 装置では、実際に演算処理をする内部回路において、比較的大きな負荷容量が接続された電界効果トランジスタも比較的小さな負荷容量が接続された電界効果トランジスタも同じ材料でゲート絶縁膜を形成しているので L S I 装置全体としてのパフォーマンスを向上させることができない。

【0 0 0 8】

そこで本発明は、負荷容量の大きさにあわせて適切な駆動力を有するトランジスタを内部回路としてひとつの半導体基板上に集積化することのできる半導体装置を提供することを目的とする。

【0 0 0 9】

【課題を解決するための手段】

上記目的を達成するために本発明は、 半導体基板と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ゲート絶縁膜が形成された位置を挟むように互いに離間して前記半導体基板表面に形成されたソース領域及びドレイン領域とを備える第 1 及び第 2 の電界効果トランジスタを備えた第 1 の回路と、

前記第 1 の回路に前記第 1 の回路の入出力部として接続され、前記第 1 の回路よりも高い電圧で駆動される第 2 の回路とを具備し、

前記第 1 の電界効果トランジスタのドレイン領域に接続された第 1 の負荷容量は、前記第 2 の電界効果トランジスタのドレイン領域に接続された第 2 の負荷容量よりも大きく、前記第 1 の電界効果トランジスタのゲート絶縁膜は、前記第 2 の電界効果トランジスタのゲート絶縁膜よりも平均比誘電率が高いことを特徴とする半導体装置を提供する。

【0 0 1 0】

ここで第 1 の回路は実際に演算等を行う内部回路と呼ばれる低電圧駆動される

回路であり、第 2 の回路は内部回路と外部とのインターフェースである入出力回路である。第 2 の回路は第 1 の回路よりも高い電圧で駆動される。

【 0 0 1 1 】

このとき、前記第 1 の電界効果トランジスタのゲート絶縁膜は、非晶質と結晶質との混合物で形成され、前記第 2 の電界効果トランジスタのゲート絶縁膜は、全体が非晶質で形成されていることが好ましい。

【 0 0 1 2 】

また、前記第 1 及び第 2 の電界効果トランジスタのゲート絶縁膜は、非晶質と結晶質との混合物で形成され、前記第 1 の電界効果トランジスタは、前記第 2 の電界効果トランジスタよりもゲート絶縁膜中における結晶質の量が多いことが好ましい。

【 0 0 1 3 】

また、前記第 1 及び第 2 の電界効果トランジスタのゲート絶縁膜は珪素、酸素及び金属を含むことが好ましい。

【 0 0 1 4 】

【発明の実施の形態】

以下、図面を用いて本発明の好ましい実施形態について説明する。なお、本発明は以下の実施形態に限定されることはなく種々選択して用いることができる。

【 0 0 1 5 】

本発明者らは、電界効果トランジスタのゲート絶縁膜材料として、金属シリケート材料を検討した。金属シリケート材料は、半導体基板上に成膜した後に膜質を改善するため等に熱工程を必要とする。しかしながら熱工程の温度や時間そして金属シリケート膜中の金属濃度等に応じて、ゲート絶縁膜中の金属が金属酸化物の形で結晶化して析出する性質を有している。

【 0 0 1 6 】

その為、金属シリケート材料をゲート絶縁膜材料として用いると熱工程の後にゲート絶縁膜に金属酸化物の結晶粒が素子ごとにまちまちに析出することで、ゲート絶縁膜の成分元素が不均一となってしまう。その結果としてゲート絶縁膜の比誘電率は素子ごとに不均一となる。ここで不均一を定量化する指標としては、

ゲート絶縁膜中での金属酸化物結晶粒の体積の標準偏差を用いて定量化することができる。

【0017】

本発明者らは、金属酸化物の析出した金属シリケート膜を例として、比誘電率に不均一性を有するゲート絶縁膜の平均比誘電率をモデル化し、以下に記す新たな知見を得た。ここに言う「平均比誘電率」とは、十分に広い膜の両面に平板電極を設けた場合に得られる単位面積あたりの静電容量を、一様な誘電体よりなる平行平板キャパシタの静電容量と考えて得られる比誘電率のことである。

【0018】

図1に示すように、比誘電率 ϵ_2 の球が埋め込まれている比誘電率 ϵ_1 の直方体を用いて、金属酸化物の析出した金属シリケート膜をモデル化した。

【0019】

このモデル化の下で、反分極場、ローレンツ場、極板上に誘起される電荷の作る場を考慮した膜の平均比誘電率(ϵ_{av})は次の式で表されることが今回の検討により新たに判った。

【0020】

【数1】

$$\epsilon_{av} = \epsilon_1 \left[1 + \frac{\frac{4(\epsilon_2 - \epsilon_1)}{2\epsilon_1 + \epsilon_2} \pi \left(\frac{R}{T} \right)^3 (nT^2)}{1 - \frac{4(\epsilon_2 - \epsilon_1)}{2\epsilon_1 + \epsilon_2} \zeta(3) \left(\frac{R}{T} \right)^3} \right] \quad (1)$$

【0021】

ここに、Tは絶縁膜の厚さ、Rは比誘電率が ϵ_2 である球の半径、nは絶縁膜の面内方向で考えた、比誘電率が ϵ_2 である球の単位面積辺りの個数、 $\zeta(3)$ は自然数の逆数を3乗した総和である。なお、ここに示した計算結果に於いては

比誘電率が ε_2 である球の中心は絶縁膜の厚さ方向の中央にあるとしているが、球の位置に対する平均比誘電率の依存性は弱いので、球の中心が必ずしも絶縁膜の厚さ方向の中央には一致していない場合にも結果は同様である。

【 0 0 2 2 】

図 2 にこの新たに得られた知見の例として $n T^2 = 0.8$ の場合の R/T に対する平均比誘電率の依存性を示す。

【 0 0 2 3 】

このグラフに於いて膜中の金属濃度の平均値をパラメーターとし、0.1、0.3、0.5 の 3 通りに変えてある。また比誘電率 ε_2 の領域は析出した金属酸化物を想定して $\varepsilon_2 = 20$ とし、 ε_1 は金属酸化物の析出に伴って金属濃度が膜中の平均値より減少した金属シリケート材料を想定して次の式を用いて計算した。なおこの式は G. Lucovsky et al., App. Phys. Lett. Vol. 77 no. 18 (2000) pp. 2912-2914 に詳しい。

【 0 0 2 4 】

$$\text{金属シリケート材料の比誘電率} = 12 - 8.1 \times (1 - 2 \times X)^4 \quad (2)$$

ここで金属シリケート材料は、 $(\text{MO}_2)_X (\text{SiO}_2)_{1-X}$ (M は Hf ないし Zr) である。

【 0 0 2 5 】

図 3 に、この式をグラフ化した。図 3 に示すように、金属酸化物の組成比 X が増えるほど、金属シリケート材料の比誘電率は上昇している様子がわかる。

【 0 0 2 6 】

また、図 3 に示した傾向とは別に、図 2 中の ○ で示すようにゲート絶縁膜中の金属濃度の平均値が 0.1 のようにゲート絶縁膜の金属濃度の平均値が低い場合には、平均比誘電率は金属酸化物の析出に伴って (R/T が増加するにつれて) 減少する。

【 0 0 2 7 】

図 2 中の □ で示すようにゲート絶縁膜中の金属濃度の平均値が 0.3 のようにゲート絶縁膜の金属濃度の平均値が 0.1 よりも高い場合には、平均比誘電率は金属酸化物の析出に伴って若干増大して減少する。

【 0 0 2 8 】

また、図 2 中の△で示すようにゲート絶縁膜中の金属濃度の平均値が 0.5 のようにゲート絶縁膜中の金属濃度の平均値が 0.3 よりも高い場合には、平均比誘電率は金属酸化物の析出に伴ってより増加すると言う新たな知見が得られる。

【 0 0 2 9 】

なお、(1)式に基づいて計算を行うと、平均比誘電率は金属酸化物の析出に伴って、金属濃度の平均値が 25%程度を境に、それよりも高いと増大し、それよりも低いと減少すると言う新たな知見が得られる。そして金属酸化物の析出に伴う平均比誘電率の増大は、金属濃度の平均値が 40%程度以上であると顕著であり、50%以上であると更に顕著であると言う新たな知見も得られる。

【 0 0 3 0 】

ここで集積回路の内部回路において電界効果トランジスタは他の電界効果トランジスタ等を駆動する役割を持つと同時に他の電界効果トランジスタの負荷容量にもなる。

【 0 0 3 1 】

他の電界効果トランジスタの負荷になると言う観点から考えると負荷容量としての電界効果トランジスタの静電容量は小さい程好ましい。

【 0 0 3 2 】

したがって電界効果トランジスタを負荷容量として考えると金属シリケート膜中の金属濃度の平均値が 0.1 と低い場合には、金属酸化物が析出した方が静電容量は低くなり好ましい。逆に、金属シリケート膜中の金属濃度の平均値が 0.3 よりも高い場合には金属酸化物は析出しない方が静電容量は上昇しないので好ましいと言う新たな知見が得られる。

【 0 0 3 3 】

一方、電界効果トランジスタを他の電界効果トランジスタを駆動する役割に鑑みるとゲート絶縁膜の比誘電率は大きい方が好ましい。ところで金属シリケート材料を用いたゲート絶縁膜中で金属酸化物の析出が起こったとすると析出物の生じた領域のみ誘電率が高くなる。それ故、ゲート電極に電圧を印加すると金属酸化物の析出物の近傍のみは多数のキャリアが誘起されることになる。その様に多

数のキャリアが誘起されてもそれは誘電率の高い金属酸化物の析出物の近傍に拘束されているので、それらのキャリアは電気伝導に寄与できない。

【 0 0 3 4 】

このような理由により電界効果トランジスタの電流駆動能力はゲート絶縁膜中の比誘電率の低い領域の比誘電率の大きさでほぼ決まると考えられる。すなわち、金属酸化物の析出に伴って金属濃度の低下した金属シリケート材料の比誘電率で電界効果トランジスタの電流駆動能力は決まる。

【 0 0 3 5 】

図 2 及び図 3 に示すように、金属シリケートの比誘電率の金属濃度に対する依存性に鑑みると、ゲート絶縁膜中での金属濃度の平均値が 0.1 と低い場合には、金属酸化物の析出に伴って比誘電率は低下し電界効果トランジスタの電流駆動能力は低下する。

【 0 0 3 6 】

しかしながら金属濃度の平均値が 0.3 よりも高い場合には金属酸化物の析出が生じるとともに絶縁膜の平均比誘電率は高くなり、図 4 に示すように、ゲート絶縁膜中に析出した金属酸化物に依ってソース側からドレイン側までを連結する経路ができると電界効果トランジスタの電流駆動能力は向上する。

【 0 0 3 7 】

図 4 に模式的にこの様子を示す。図 4 は半導体基板上に絶縁膜を介してゲート電極が形成された様子を示す上面図であり、ソース領域及びドレイン領域間にゲート電極が位置している。

【 0 0 3 8 】

図 4 では、この経路は一本のみ描いてあるが、これは説明の為の模式図であって、その様な経路が一本のみであることは本質ではなく、複数本の経路が存在しても以下の話の本質は全く変わらない。また経路に分岐が有るないしは経路が網状になっていたとしても同様である。

【 0 0 3 9 】

このような経路ができればそこに誘起された多量のキャリアも電気伝導に寄与することが可能となる。そして図 3 に示すように、金属シリケート材料中の金属

濃度の平均値が高い場合には、金属酸化物の析出に伴って金属シリケート材料中の金属濃度が下がることに依る金属シリケート材料の比誘電率の低下は極めて小さい。

【 0 0 4 0 】

その結果として、金属シリケート材料で形成されたゲート絶縁膜中の金属濃度の平均値が 0.3 よりも高く、且つ多量の金属酸化物の析出が起こった場合には電界効果トランジスタの電流駆動能力は金属酸化物の析出に伴って上がることになる。

【 0 0 4 1 】

以上を纏めると、電界効果トランジスタの電流駆動能力の観点から考えると、ゲート絶縁膜中の金属濃度の平均値が 0.1 と低い場合には金属酸化物は析出しない方が好ましく、ゲート絶縁膜中の金属濃度の平均値が 0.3 より高い場合には金属酸化物は析出した方が好ましいと言う新たな知見が得られる。

【 0 0 4 2 】

以上の考察より、金属シリケート材料をゲート絶縁膜に用いた電界効果トランジスタにおいては、ゲート絶縁膜中の金属濃度の平均値が高い場合にも低い場合にも、電流駆動能力と負荷容量との二つの観点に鑑みた二律背反と言う問題点を有していることになる。

【 0 0 4 3 】

このことは比誘電率に不均一性を持つゲート絶縁膜の誘電率に対する今回の検討に依り得られた新たな知見である。

【 0 0 4 4 】

そこで本発明者らは、金属シリケート材料により形成されたゲート絶縁膜に金属酸化物の析出物を含む電界効果トランジスタと金属酸化物の析出物を含まないか含むとしても微量の電界効果トランジスタとを共に集積化する半導体装置を提供することを考えた。

【 0 0 4 5 】

したがって電流駆動能力と容量とのいずれも大きい電界効果トランジスタと電流駆動能力と容量とのいずれも小さい電界効果トランジスタを内部回路としてひと

つの半導体基板上に集積化することになる。集積回路中では各電界効果トランジスタは他の電界効果トランジスタ等を駆動する役割を持つと同時に他の電界効果トランジスタの負荷にもなる。

【 0 0 4 6 】

ここで大きな負荷容量をドレイン領域に接続された電界効果トランジスタを第 1 の電界効果トランジスタとし、これに比べて小さな負荷容量をドレイン領域に接続された電荷効果トランジスタを第 2 の電界効果トランジスタとする。

【 0 0 4 7 】

第 1 の電界効果トランジスタのドレイン領域に接続された負荷容量は大きいのでその充放電には時間が掛かり、それが半導体装置全体の動作速度を律速する。それ故、第 1 の電界効果トランジスタの電流駆動能力は半導体装置全体の動作速度を向上させるためには大きい方がよい。したがって第 1 の電界効果トランジスタの様に駆動すべき負荷容量の大きな素子に於いてはゲート絶縁膜中に金属酸化物が析出してゲート絶縁膜の平均比誘電率を大きくすることが好ましい。

【 0 0 4 8 】

一方、第 2 の電界効果トランジスタは第 1 の電界効果トランジスタと比較してドレイン領域に接続された負荷容量が小さいので、第 2 の電界効果トランジスタの電流駆動能力が半導体装置全体の動作速度を律速することはない。したがって第 2 の電界効果トランジスタの電流駆動能力を増しても半導体装置全体の動作速度が大きく向上することは期待できない。そして、第 2 の電界効果トランジスタのゲート絶縁膜中に金属酸化物が析出することは寄生容量が大きくなるので第 2 の電界効果トランジスタを負荷容量としてドレイン領域に接続された電界効果トランジスタの全負荷容量が増大することになる。したがって第 2 の電界効果トランジスタの様に駆動すべき負荷容量が小さい素子に於いてはゲート絶縁膜中に金属酸化物が極力析出させないようにして寄生容量を小さくしなければならない。

【 0 0 4 9 】

以上はゲート絶縁膜中の金属濃度の平均値が 0.3 よりも高く、図 4 に示すように金属酸化物の析出に伴ってソースとドレインとが比誘電率の高い領域のみよりなる経路に依り連結され得る場合である。

【 0 0 5 0 】

ゲート絶縁膜中の金属濃度の平均値が 0.1 以下の場合には状況が異なる。この場合には前述の様に金属酸化物の析出に伴って電界効果トランジスタの電流駆動能力は低下するが、図 2 に示すように、ゲート絶縁膜の平均比誘電率も低下する。それ故、電界効果トランジスタの電流駆動能力に鑑みるとゲート絶縁膜中に金属酸化物が析出することは好ましくなく、その電界効果トランジスタが他の電界効果トランジスタに接続された負荷容量になると言う観点に鑑みると金属酸化物が析出することは好ましい。

【 0 0 5 1 】

従って、ゲート絶縁膜中の金属濃度の平均値が 0.1 以下の場合には、その電界効果トランジスタの容量がその電界効果トランジスタを負荷容量に持つ電界効果トランジスタの全負荷容量に占める割合の小さい電界効果トランジスタに於いてはゲート絶縁膜中の金属酸化物の析出が抑制されていることが好ましい。

【 0 0 5 2 】

本発明の半導体装置に於いては、金属酸化物が析出した方が好ましい電界効果トランジスタに於いては金属酸化物を析出させ、金属酸化物が析出することが好ましくない電界効果トランジスタに於いては金属酸化物の析出は抑制されている。その結果として、本発明の半導体装置に於いては速い動作速度が実現される。

【 0 0 5 3 】

図 5 に連続したインバーターよりなる回路が集積化された半導体装置の概念図を示す。

【 0 0 5 4 】

図 5 に示すように、インバーターには入力部から順に I 1、I 2、I 3、I 4、I 5、I 6、I 7 と名前を付ける。インバーター I 7 は出力部に接続されている。インバーター I 1、I 2、I 3、I 4、I 5、I 6、I 7 は内部回路を構成している。各々のインバーターの、前段のインバーターの負荷となる容量を C、インバーターを構成する素子の電流駆動能力を I とする。そしてインバーター I 5 の出力には大きさ 100 C の負荷容量が接続されているとする。すると最低次の近似では、インバーター I 5 の伝達遅延時間は $101 CV / I$ 、その他のイン

バーターの伝達遅延時間は CV/I となる。

【0055】

$CV/I = \tau$ とすると、信号がノード1からノード2まで伝わるのに要する時間は 105τ となる。本発明の方法に従って接続負荷容量が大きいインバーターI5のゲート絶縁膜は平均金属濃度を0.3以上として且つ金属酸化物の析出が起こる様にし、その他の接続負荷用量が小さいインバーターのゲート絶縁膜には同じ平均金属濃度で析出を抑制した場合を考える。

【0056】

析出の条件は、図2に示す金属密度の平均値 $= 0.5$ 、 $nT^2 = 0.8$ 、 $R/T = 0.46$ の場合とする。これは図2に△で示すグラフの極大となる条件であり、ゲート絶縁膜の平均比誘電率は14である。

【0057】

電界効果トランジスタの電流駆動能力に寄与するゲート絶縁膜の比誘電率は、析出した金属酸化物の量に鑑みた2種類の比誘電率の絶縁膜を持つ平行平板キャパシターの並列接続と考えて求めると14.3となる。金属酸化物の析出に伴って金属濃度の下がった周囲の金属シリケートの比誘電率は前述の(2)式を用いた。

【0058】

しかし、金属酸化物の析出に伴って生ずるところの誘電率の高い領域の境界が図4に示したように平坦ではないことを鑑みると、電流駆動能力に寄与するゲート絶縁膜の比誘電率はこの値よりも低いと考えられる。それで、金属酸化物の析出に伴って生じた比誘電率の高い領域の実効的な割合を析出量から得られる値の $1/2$ と仮定する。この仮定の下で、電流駆動能力に寄与するゲート絶縁膜の比誘電率を求めると12.9となる。

【0059】

この値を用いて、本発明の方法に依り金属酸化物の析出の有無を制御した場合に、図5の回路に於いて信号がノード1からノード2まで伝わるのに要する時間を求めると 99τ となる。

【0060】

このように図 5 に示す回路の場合には動作速度は 6 % 向上する。この例に於いては負荷容量の大きさが二種類のみの場合を示した。一般の場合には各々の電界効果トランジスタのゲート絶縁膜に対して誘電率を変えて最適条件を求めることでいずれの素子のゲート絶縁膜に高低いずれの比誘電率の絶縁膜を用いるのかを決めればよい。

【 0 0 6 1 】

図 6 は本発明の半導体装置の断面図である。

【 0 0 6 2 】

ここでは集積回路上の素子として N チャネル電界効果トランジスタを例にとって示す。不純物の導電型を逆にすれば P チャネル電界効果トランジスタの場合にもまったく同様であり、光蝕刻法等の方法を用いて基板内の特定の領域のみに不純物を注入する等の方法を用いれば相補型電界効果トランジスタの場合も全く同様である。

【 0 0 6 3 】

この半導体装置は、P 型シリコン基板 1 上にトレンチ素子分離法により素子分離領域 2 が形成されている。P 型シリコン基板 1 内には、P ウエル領域 3 が形成され、P ウエル領域 3 中には、N チャネル領域 4 が形成されている。N チャネル領域 4 上にはゲート絶縁膜 5 と、ゲート絶縁膜 5 よりも高い平均比誘電率を持つゲート絶縁膜 10 とが形成され、ゲート絶縁膜 5 ないし 10 上には、ゲート電極 6 が形成されている。7 はソース領域或いはドレイン領域、8 は配線、9 は層間絶縁膜である。

【 0 0 6 4 】

この半導体装置は、複数種類の平均比誘電率のゲート絶縁膜を持つ電界効果トランジスタを含むことに特徴がある。その電界効果トランジスタのドレイン領域に接続された負荷容量の大きいものはゲート絶縁膜の平均比誘電率は高く、負荷容量の小さいものはゲート絶縁膜の平均比誘電率は低く設定する。こうすることによって素子の負荷は低く抑えつつ電流駆動能力は高くすることができ、その結果として速い動作速度の半導体装置が提供される。

【 0 0 6 5 】

図 7 に、ドレイン領域に負荷容量が接続された電界効果トランジスタの模式図を示す。

【 0 0 6 6 】

図 7 の左側に示すものが着目する電界効果トランジスタで、右側のものは駆動される電界効果トランジスタである。

【 0 0 6 7 】

着目する電界効果トランジスタにはそれ自身が持つ寄生容量としてゲート絶縁膜 5 0 を介してゲート電極 6 とドレイン領域 7 とのオーバーラップ容量、層間絶縁膜 9 を介してゲート電極 6 とドレイン領域 7 とのフリンジ容量、層間絶縁膜 9 を介してゲート電極 6 と配線 8 とのゲート・配線間容量及びドレイン領域 7 の接合容量が接続負荷容量としてある。

【 0 0 6 8 】

また、着目する電界効果トランジスタには配線・基板間容量、配線間容量が負荷容量として接続されている。また、駆動される電界効果トランジスタのチャネル容量も負荷容量として接続されている。もちろん駆動される電界効果トランジスタが複数になるとそれぞれが負荷容量となる。

【 0 0 6 9 】

図 8 は、本発明の半導体装置を示す図であり、左が着目する電界効果トランジスタで右が駆動される電界効果トランジスタを示す。

【 0 0 7 0 】

図 8 中 (a) は、接合容量 C 1 が接続された第 2 の電界効果トランジスタを示し、 (b) は接合容量 C 2 が接続された第 1 の電界効果トランジスタを示している。ドレイン 7 の大きさが異なるので第 1 の電界効果トランジスタに接続された接合容量 C 2 の方が第 2 の電界効果トランジスタに接続された接合容量 C 1 よりも大きくなっている。

【 0 0 7 1 】

したがって第 1 の電界効果トランジスタのゲート絶縁膜 1 0 が第 2 の電界効果トランジスタのゲート絶縁膜 5 よりも比誘電率が大きい。これら第 1 の電界効果トランジスタと第 2 の電界効果トランジスタは同一半導体基板上に集積化されて

いる。

【 0 0 7 2 】

図 9 は、本発明の半導体装置を示す図であり、左が着目する電界効果トランジスタで右が駆動される電界効果トランジスタを示す。

【 0 0 7 3 】

図 9 中 (a) は、配線・基板間容量及び配線間容量 C_1 が接続された第 2 の電界効果トランジスタを示し、(b) は配線・基板間容量及び配線容量 C_2 が接続された第 1 の電界効果トランジスタを示している。配線の長さが異なるので第 1 の電界効果トランジスタに接続された配線・基板間容量及び配線容量 C_2 の方が第 2 の電界効果トランジスタに接続された配線・基板間容量及び配線容量 C_1 よりも大きくなっている。

【 0 0 7 4 】

したがって第 1 の電界効果トランジスタのゲート絶縁膜 1 0 が第 2 の電界効果トランジスタのゲート絶縁膜 5 よりも比誘電率が大きい。これら第 1 の電界効果トランジスタと第 2 の電界効果トランジスタは同一半導体基板上に集積化されている。

【 0 0 7 5 】

図 1 0 は、本発明の半導体装置を示す図であり、左が着目する電界効果トランジスタで右が駆動される電界効果トランジスタを示す。

【 0 0 7 6 】

図 1 0 中 (a) は、電界効果トランジスタのチャンネル容量 C_1 がドレイン領域に接続された第 2 の電界効果トランジスタを示し、(b) は電界効果トランジスタのチャンネル容量 C_2 がドレイン領域に接続された第 1 の電界効果トランジスタを示している。電界効果トランジスタのゲート長が異なるので第 1 の電界効果トランジスタに接続された電界効果トランジスタのチャンネル容量 C_2 の方が第 2 の電界効果トランジスタに接続された電界効果トランジスタのチャンネル容量 C_1 よりも大きくなっている。

【 0 0 7 7 】

したがって第 1 の電界効果トランジスタのゲート絶縁膜 1 0 が第 2 の電界効果

トランジスタのゲート絶縁膜 5 よりも比誘電率が大きい。これら第 1 の電界効果トランジスタと第 2 の電界効果トランジスタは同一半導体基板上に集積化されている。

【 0 0 7 8 】

次に、図 1 1 乃至図 1 8 を用いて、この半導体装置の製造方法について以下に説明する。

【 0 0 7 9 】

まず、図 1 1 に示すように、例えば P 型シリコン基板 1 に例えばトレンチ素子分離法により素子分離領域 2 を形成する。続いて P ウエル形成領域に例えば B (ボロン) イオンを 100 keV 、 $2.0 \times 10^{13}\text{ cm}^{-2}$ で注入し、その後に例えば 1050°C 、30 秒の熱工程により P ウエル領域 3 を形成する。

【 0 0 8 0 】

次に、図 1 2 に示すように、P ウエル領域 3 中に、所望のしきい値電圧を得る為に例えば B イオンを 30 keV 、 $1.0 \times 10^{13}\text{ cm}^{-2}$ で注入し、N チャネル 4 表面の濃度を調節する。

【 0 0 8 1 】

次に、図 1 3 に示すように、例えばスパッタ法等の方法により、シリコン基板 1 上に例えば厚さ 5 nm の $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 1 を形成する。

【 0 0 8 2 】

次に、図 1 4 に示すように、 $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 1 上に例えば CVD 法により例えば厚さ 50 nm の例えば窒化シリコン膜 1 2 を堆積し、その一部を選択的に除去する。一部のみを選択的に除去するのは例えば光蝕刻法等の方法により、半導体基板の一部のみをレジストで覆い、その状態で窒化シリコン膜 1 2 の露出している部分を除去すればよい。窒化シリコン膜 1 2 の除去は例えば RIE (リアクティブ・イオン・エッチング) 法等の異方性エッチングにより行うことも可能であるし、例えば CDE (ケミカル・ドライ・エッチング) 法ないし湿式処理等の等方性エッチングでもよい。

【 0 0 8 3 】

次に、シリコン基板 1 を例えば昇温した NH_3 ないし N_2O ないし NO ないし N

O_2 等の気体にさらして $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜11の一部に窒素を導入する。この過程に於いて $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜11の窒化シリコン膜12に依って覆われている領域には窒素は殆ど導入されない。なお、この窒素の導入は必ずしも昇温を行わずにシリコン基板1を例えば励起状態の窒素気体にさらしてもよい。また、窒素を加速して注入してもよい。

【0084】

次に、図15に示すように、窒化シリコン膜12を除去した後、 $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜11の上に例えばCVD法により例えば厚さ100nmの例えば多結晶シリコン膜を堆積し、例えばRIE法等の異方性エッチングにより多結晶シリコン膜を加工してゲート電極6を形成する。そして例えばRIE法等の異方性エッチングを用いて $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜11をゲート絶縁膜に加工する。なお多結晶シリコン膜6ないし $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜11の加工は湿式エッチング法等の等方性エッチングで行ってもよい。

【0085】

次に、図16に示すように、例えばAs（砒素）イオンを30keV、 $5.0 \times 10^{15} \text{ cm}^{-2}$ で注入する。そして熱工程によりソース領域及びドレイン領域7を形成する。

【0086】

次に、図17に示すように、層間絶縁膜として例えばCVD（ケミカル・ベーパー・ディポジッション）法で酸化シリコン膜9を例えば厚さ500nm堆積し、ソース領域及びドレイン領域7およびゲート電極6上に配線孔13を例えばRIE法にて開孔する。

【0087】

次に、図18に示すように、例えばスパッタ法等により、シリコン基板1全面に例えばシリコンを1%含有する例えば厚さ300nmのアルミニウム膜を形成する。そしてアルミニウム膜に例えばRIE法等の異方性エッチングを施すことにより、配線8を形成する。

【0088】

以後はパッシベーション工程等を経て半導体装置が完成する。

【 0 0 8 9 】

金属シリケート絶縁膜に熱工程を施した場合に現れる金属酸化物の析出を防ぐには金属シリケート膜に窒素を添加することが有効である。そのために $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 1 の内で図 1 4 に示す工程に於いて窒化シリコン膜 1 2 に覆われていた領域は金属酸化物の析出が起こり、窒化シリコン膜 1 2 に覆われていなかった領域は金属酸化物の析出が抑制される。その結果としてある平均比誘電率のゲート絶縁膜 5 を持つ電界効果トランジスタとそれよりも高い平均比誘電率のゲート絶縁膜 1 0 を持つ電界効果トランジスタとを含む本発明の半導体装置が形成される。

【 0 0 9 0 】

ここでは半導体装置中の集積化された素子として N 型電界効果トランジスタを例に取って示したが、不純物の導電型を逆にすれば P 型電界効果トランジスタの場合にも、そして光蝕刻法等の方法を用いて基板内の特定の領域のみに不純物を導入すれば相補型電界効果トランジスタに対しても同様である。

【 0 0 9 1 】

また、電界効果トランジスタの他に、バイポーラー型トランジスタや単一電子トランジスタ等の他の能動素子、ないしは抵抗体やダイオードやインダクターやキャパシター等の受動素子をも含む半導体装置に対しても同様である。

【 0 0 9 2 】

また、OEIC (オプト・エレクトロニクス・インテグレートッド・サーキット) や MEMS (マイクロ・エレクトロ・メカニカル・システム) 等を形成する場合もまた同様である。また、SOI (シリコン・オン・インシュレータ) 構造の素子を含む場合にも同様である。さらに、エピタキシャル成長等を施した基板上に形成した場合も同様である。

【 0 0 9 3 】

また、ここでは N 型半導体層を形成する為の不純物としては As を、P 型半導体層を形成する為の不純物としては B を用いたが、N 型半導体層を形成する為の不純物として他の V 族不純物を用いる、ないしは P 型半導体層を形成する為の不純物として他の III 族不純物を用いてもよい。また、III 族や V 族の不純物

の導入はそれらを含む化合物の形で行ってもよい。

【 0 0 9 4 】

また、ここでは不純物の導入はイオン注入を用いて行ったが、イオン注入以外の例えば固相拡散や気相拡散等の方法を用いてもよい。また、不純物を含有する半導体を堆積するないしは成長させる等の方法を用いてもよい。

【 0 0 9 5 】

また、ここではシングルドレイン構造の素子を例として示したが、シングルドレイン構造以外の例えばエクステンション構造ないしLDD（ライトリー・ドープド・ドレイン）構造やGDD（グレーデッド・ディフューズド・ドレイン）構造等の構造の素子を構築してもよい。

【 0 0 9 6 】

またハロー構造ないしポケット構造やエレベート構造等の素子を構築してもよい。チャネルが半導体基板面と平行ではない素子やチャネル領域がソース側からドレイン側に向けて次第に細くなっているFINFETも同様である。

【 0 0 9 7 】

また、ここではソース領域及びドレイン領域への不純物の導入をゲート絶縁膜の加工の後に行っているが、不純物の導入と加工との順序は本質ではなく、逆の順序で行ってもよい。

【 0 0 9 8 】

また、ここではゲート電極の加工の後にソース領域及びドレイン領域上のゲート絶縁膜を除去しているが、ソース領域及びドレイン領域上のゲート絶縁膜は必ずしも除去しなくてもよい。

【 0 0 9 9 】

また、ここではシリサイド化には言及していないが、ソース領域及びドレイン領域ないしゲート電極に対してシリサイド化を施してもよい。また、ソース領域及びドレイン領域上ないしゲート電極上に金属層を堆積ないしは成長させる等の方法を用いてもよい。

【 0 1 0 0 】

また、ここでは配線の為の金属層の形成はスパッタ法を用いているが、

スパッタ法以外に例えば堆積法等の異なる方法を用いて金属層を形成してもよい。また、金属の選択成長等の方法を用いてもよいしダマシン法等の方法を用いてもよい。

【0101】

また、ここではゲート電極は多結晶シリコンを用いたが、単結晶シリコンや非晶質シリコンないしは例えばゲルマニウム等を含むシリコン等の半導体、ないしは金属、金属を含む化合物等、ないしはそれらの積層等で形成してもよい。

【0102】

また、ここではゲート電極の上部は電極が露出する構造であるが、上部に例えば酸化シリコンや窒化シリコン等の絶縁物を設けてもよい。

【0103】

また、ここではゲート電極の形成はゲート電極材料を堆積した後に異方性エッチングを施して形成しているが、この工程は等方性エッチングを用いて行っても良いし、または例えばダマシンプロセス等のような埋め込みの方法を用いてゲート電極を形成してもよい。

【0104】

また、ここではゲート絶縁膜としてスパッタ法により形成した $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜を用いたが、Hfの他の価数のシリケートないしは、Ti、Ce、Zr、Ta、Al、La、Y、Gd、Dy、Pr等の他の金属シリケート等ないしは様々な元素を含むシリケートないしは酸化物材料等の、他の高誘電体膜ないしはそれらの積層等の他の絶縁膜をゲート絶縁膜として用いてもよい。またはその様な素子を混載しても良い。また、金属シリケート材料を用いて、金属酸化物の析出に依り異なる比誘電率の絶縁膜を実現する場合には、金属濃度の平均値は25%程度以上である事が好ましい。

【0105】

また、ここでは平均比誘電率の低いゲート絶縁膜も平均比誘電率の高いゲート絶縁膜も等しい厚さとしたが、それらの厚さが等しいことに必然性は無く異なる厚さであっても良い。また、半導体装置中に異なる厚さのゲート絶縁膜を持つ素子が含まれていても良い。

【 0 1 0 6 】

また、ゲート絶縁膜の形成方法はスパッタ法に限るものではなく、蒸着法ないしCVD法ないしエピタキシャル成長法等の他の方法を用いてもよい。また、ゲート絶縁膜として或る物質の酸化物を用いる等の場合には、まずその物質の膜を形成しておいてそれを酸化する等の方法を用いてもよい。

【 0 1 0 7 】

また、ゲート絶縁膜に強誘電体膜を用いた素子を含む半導体装置を形成してもよい。

【 0 1 0 8 】

また、ここではゲート絶縁膜材料の一部のみに選択的に窒素を導入する為にゲート絶縁膜の一部を覆う物質として窒化シリコン膜を用いたが、他の物質を用いてもよい。また、この膜の少なくとも一部を残存させてゲート絶縁膜の一部として用いても良い。

【 0 1 0 9 】

また、ここでは金属析出物の抑制は絶縁膜に窒素を導入したが、これは他の方法を用いて行ってもよい。

【 0 1 1 0 】

また、ここではゲート絶縁膜中に導入する窒素の絶縁膜中に於ける分布に関しては言及していないが、窒素を導入することの本質は金属酸化物の析出を抑制するためにあるので半導体基板ないしゲート電極との両界面の近傍に於いて窒素は必ずしも重要ではない。それ故、いずれかの界面近傍に於いては窒素の濃度を低く設定したとしても同様の効果が得られる。殊に半導体基板との界面近傍に窒素が存在するとキャリアのモビリティーの低下が起こる為に電界効果トランジスタの電流駆動能力が低下する。それ故、半導体基板との界面近傍に於ける窒素濃度を、ゲート絶縁膜とゲート電極との界面に於ける窒素濃度と比べて低く設定すれば、モビリティーの低下に伴う電流駆動能力の低下が回避されると言う利点が見られる。

【 0 1 1 1 】

また、ここではゲート側壁に関しては言及をしなかったが、ゲート側壁を設け

たとしても同様の効果が得られる。

【0112】

また、ここでは素子分離はトレンチ素子分離法を用いて行ったが、例えば局所酸化法やメサ型素子分離法等の他の方法を用いて素子分離を行ってもよい。

【0113】

また、ここではゲート電極形成後の後酸化には言及していないが、ゲート電極やゲート絶縁膜材料等に鑑みて可能であれば、後酸化工程を行ってもよい。

【0114】

また、ここでは層間絶縁膜として酸化シリコン膜を用いているが、例えば低誘電率材料等の酸化シリコン以外の物質を層間絶縁膜に用いてもよい。

【0115】

また、コンタクト孔に関しては自己整合コンタクトを形成する事も可能である。

【0116】

また、ここでは配線が一層のみの半導体装置の場合を示したが、素子や配線等が二層以上存在してもよい。

【0117】

次に、図19乃至図26を用いて本発明の半導体装置の異なる形成工程を説明する。

【0118】

この形成工程は、図13に示される工程の後に、図19に示すように、シリコン基板1を例えば昇温した NH_3 ないし N_2O ないし NO ないし NO_2 等の気体にさらすことによって $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜11に窒素を導入する。この窒素の導入は必ずしも昇温を行わずにシリコン基板1を例えば励起状態の窒素気体にさらしても可能である。また、窒素を加速して注入してもよい。

【0119】

次に、図20に示すように、 $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜11の上に例えばCVD法により例えば厚さ50nmの例えば窒化シリコン膜12を堆積し、その一部を選択的に除去する。一部のみを選択的に除去するのは例えば光蝕刻法等

の方法により、シリコン基板 1 の一部のみをレジストで覆い、その状態で窒化シリコンの露出している部分を除去すればよい。窒化シリコンの除去は例えば R I E 法等の異方性エッチングしてもよいし、例えば C D E 法ないし湿式処理等の等方性エッチングにより行うことも可能である。

【 0 1 2 0 】

次に、図 2 1 に示すように、 $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 1 の一部を例えば R I E 法等の異方性エッチングを施すことに依り除去する。 $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 1 の除去は、例えば C D E 法ないし湿式処理等の等方性エッチングを施してもよい。

【 0 1 2 1 】

次に、図 2 2 に示すように、例えばスパッタ法等の方法を用いて、例えば厚さ 5 n m の $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 4 を形成する。

【 0 1 2 2 】

次に、図 2 3 に示すように、 $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 4 に例えば R I E 法等の異方性エッチングを施して一部のみを選択的に除去する。一部のみを選択的に除去には例えば光蝕刻法等の方法により、シリコン基板 1 の一部のみをレジストで覆い、その状態で $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 4 の露出している部分を除去すればよい。なお、 $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 4 の除去は、例えば C D E 法ないし湿式処理等の等方性エッチングでもよい。続いて窒化シリコン膜 1 2 を除去する。窒化シリコン膜 1 2 の除去は例えば R I E 法等の異方性エッチングを施してもよいし、例えば C D E 法ないし湿式処理等の等方性エッチングを施すことでもよい。また、これらの工程は C M P (ケミカル・メカニカル・ポリッシング) 法で平坦化することでも可能である。

【 0 1 2 3 】

以後は、図 1 5 以降に示す工程と同様である。この方法においても同様の効果が得られる。

【 0 1 2 4 】

また、図示した二つの電界効果トランジスタ間以外の素子分離領域上のゲート絶縁膜は除去されていないが、除去しても良い。

【0125】

また、ここでは二枚の $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜の間に窒化シリコン膜 12 が介在しているが、これは $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 14 の除去を行う場合のエッチングストッパーとする為であり、この $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 14 の除去を例えば時間指定等の方法で行うのであれば、窒化シリコン層を設けなくてもよい。また、窒化シリコン以外の物質を用いてもよい。また、 $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 11 上の窒化シリコン膜 12 や $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 14 の少なくとも一部を残存させてゲート絶縁膜の一部として用いても良い。

【0126】

また、ここでは同一組成の二枚の Hf シリケート膜を形成したが、この二者が同一組成であることに必然性はなく、二者が異なる膜であってもよい。

【0127】

次に、図 24 乃至図 26 を用いて本発明の半導体装置の別の形成工程を説明する。

【0128】

この形成工程は、図 13 に示される工程の後に、図 24 に示すように、 $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 11 の上に例えば CVD 法により例えば厚さ 50 nm の例えば窒化シリコン膜 12 を堆積し、その一部を選択的に除去する。一部のみを選択的に除去する方法は例えば光蝕刻法等により、半導体基板 1 の一部のみをレジストで覆い、その状態で窒化シリコンの露出している部分を除去すればよい。窒化シリコンの除去は例えば RIE 法等の異方性エッチングで行ってもよいし、例えば CDE 法ないし湿式処理等の等方性エッチングでもよい。

【0129】

次に、図 25 に示すように、 $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 11 の一部を例えば RIE 法等の異方性エッチングを施すことにより除去する。 $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 11 の除去は、例えば CDE 法ないし湿式処理等の等方性エッチングも可能である。

【0130】

次に、図 2 6 に示すように、例えばスパッタ法等により、例えば厚さ 5 n m の $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 4 を形成する。

【 0 1 3 1 】

そしてシリコン基板 1 を例えば昇温した NH_3 ないし N_2O ないし NO ないし N_2O_2 等の気体にさらして $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 4 に窒素を導入する。この窒素の導入は必ずしも昇温を行わずにシリコン基板 1 を例えば励起状態の窒素気体にさらしても可能である。また、窒素を加速して注入しても可能である。

【 0 1 3 2 】

以後は図 2 3 以降に示す工程と同様である。

【 0 1 3 3 】

また、ここでは二枚の $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜の間に窒化シリコン膜 1 2 が介在する様にしているが、これは $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 4 に窒素を導入する際の拡散の障壁ないし $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 4 の除去を行う際のエッチングストッパーとする為であり、 $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 4 の除去を例えば時間指定等の方法で行うないしは窒素の導入の条件を調節する等の事を行うのであれば、窒化シリコン層を設けないことも可能である。また、窒化シリコン以外の物質を用いてもよい。

【 0 1 3 4 】

次に、図 2 7 を用いて本発明の半導体装置の別の形成工程を説明する。

【 0 1 3 5 】

この形成工程は、図 2 5 に示される工程の後に、図 2 7 に示す様に、例えばスパッタ法等の方法を用いて、例えば厚さ 5 n m の窒素を添加した $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 5 を形成する。以後は図 2 3 以降に示す工程と同様である。

【 0 1 3 6 】

ここでは初めに $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 1 を形成してその一部を選択的に除去した後に、窒素を添加した $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜 1 5 を形成しているが、この順序は本質的ではなく逆の順序で成膜を行ってもよい。

【 0 1 3 7 】

本発明は、ロジック回路、メモリ及びこれらを混載して形成されたシステム L S I 装置等に用いることができる。

【 0 1 3 8 】

【発明の効果】

本発明は、負荷容量の大きい電界効果トランジスタのゲート絶縁膜の平均比誘電率は高く、負荷容量の小さい電界効果トランジスタのゲート絶縁膜の平均比誘電率は低くすることで素子の負荷は低く抑えつつ電流駆動能力は高くすることができ、その結果として速い動作速度の半導体装置が提供される。

【図面の簡単な説明】

【図 1】 比誘電率 ϵ_1 の直方体中に比誘電率 ϵ_2 の球が分散している状態を示す斜視図。

【図 2】 絶縁膜の平均比誘電率と R（球の半径）／T（膜厚）の関係を示すグラフ。

【図 3】 $(\text{MO}_2)_x (\text{SiO}_2)_{1-x}$ の比誘電率と組成比 X の関係を示す図。

【図 4】 ゲート絶縁膜中に析出した金属酸化物を示す模式図。

【図 5】 インバーターが直列接続した回路図。

【図 6】 本発明の半導体装置の断面図。

【図 7】 本発明の負荷容量を説明する模式図。

【図 8】 本発明の半導体装置の断面図。

【図 9】 本発明の半導体装置の断面図。

【図 1 0】 本発明の半導体装置の断面図。

【図 1 1】 本発明の半導体装置の製造工程を説明するための断面図。

【図 1 2】 本発明の半導体装置の製造工程を説明するための断面図。

【図 1 3】 本発明の半導体装置の製造工程を説明するための断面図。

【図 1 4】 本発明の半導体装置の製造工程を説明するための断面図。

【図 1 5】 本発明の半導体装置の製造工程を説明するための断面図。

【図 1 6】 本発明の半導体装置の製造工程を説明するための断面図。

【図 1 7】 本発明の半導体装置の製造工程を説明するための断面図。

【図 1 8】 本発明の半導体装置の製造工程を説明するための断面図。

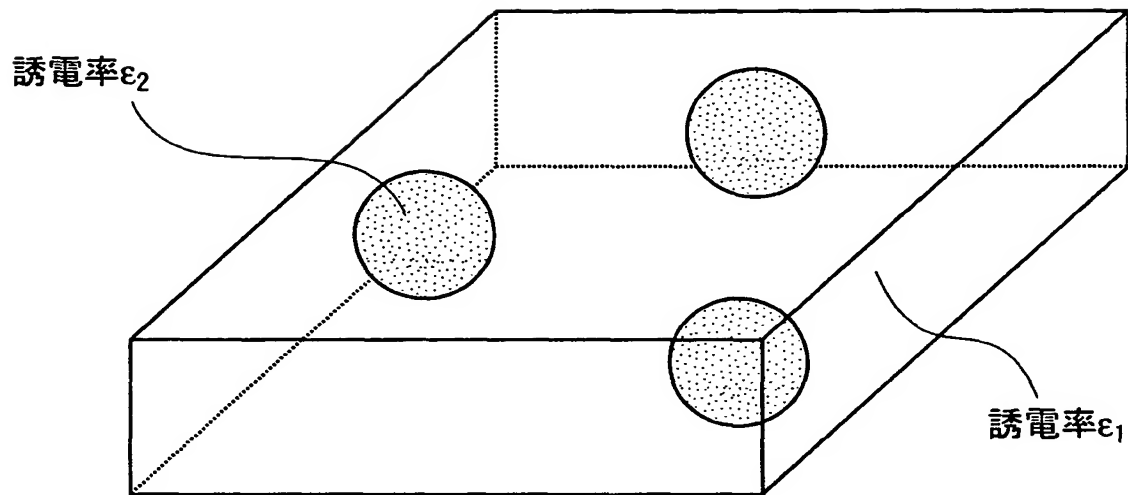
- 【図 1 9】 本発明の半導体装置の製造工程を説明するための断面図。
【図 2 0】 本発明の半導体装置の製造工程を説明するための断面図。
【図 2 1】 本発明の半導体装置の製造工程を説明するための断面図。
【図 2 2】 本発明の半導体装置の製造工程を説明するための断面図。
【図 2 3】 本発明の半導体装置の製造工程を説明するための断面図。
【図 2 4】 本発明の半導体装置の製造工程を説明するための断面図。
【図 2 5】 本発明の半導体装置の製造工程を説明するための断面図。
【図 2 6】 本発明の半導体装置の製造工程を説明するための断面図。
【図 2 7】 本発明の半導体装置の製造工程を説明するための断面図。

【符号の説明】

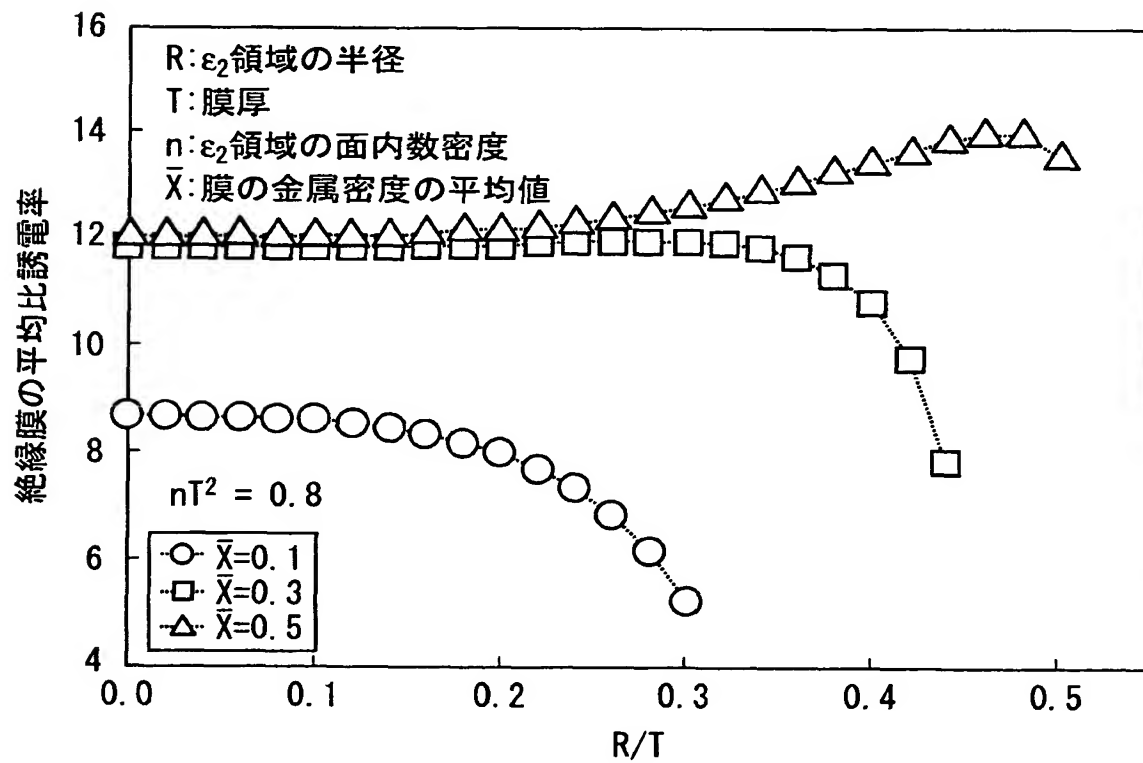
- 1 …半導体基板
2 …素子分離領域
3 …P ウエル領域
4 …N チャネル領域
5 …ゲート絶縁膜
6 …ゲート電極
7 …ソース領域及びドレイン領域
8 …配線
9 …層間絶縁膜
1 0 …ゲート絶縁膜
1 1 … $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜
1 2 …窒化シリコン膜
1 3 …配線孔
1 4 … $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜
1 5 …窒素を添加した $(\text{HfO}_2)_{0.5}(\text{SiO}_2)_{0.5}$ 膜

【書類名】 図面

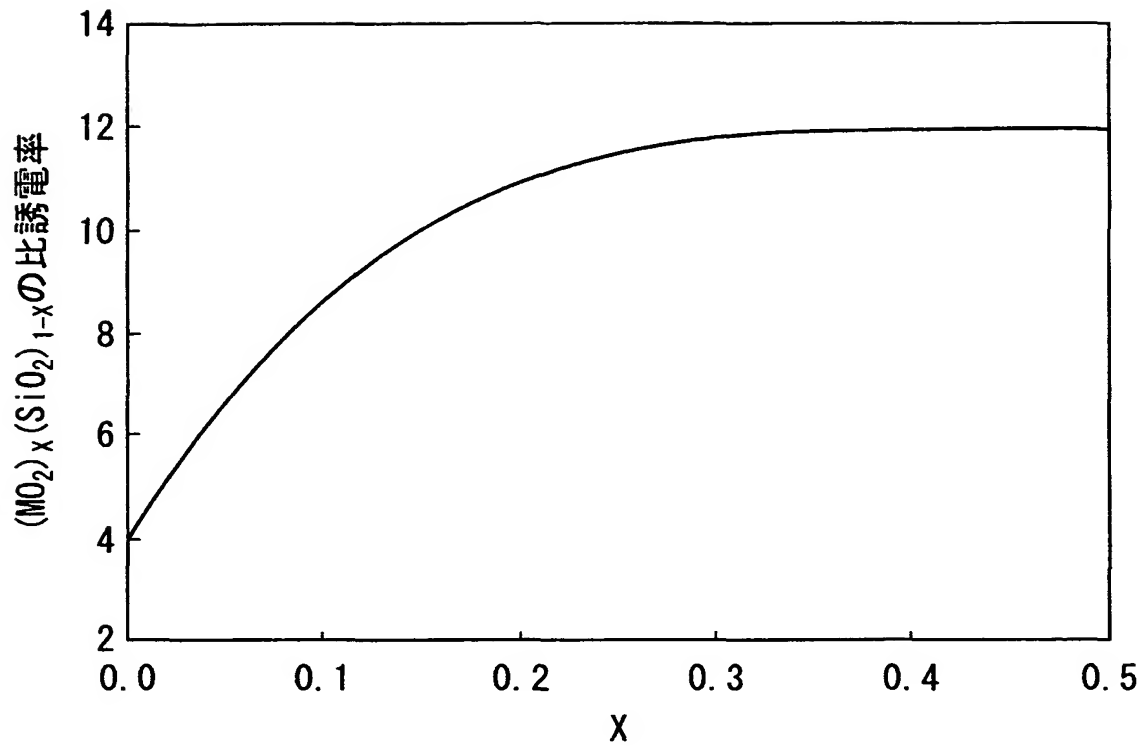
【図 1】



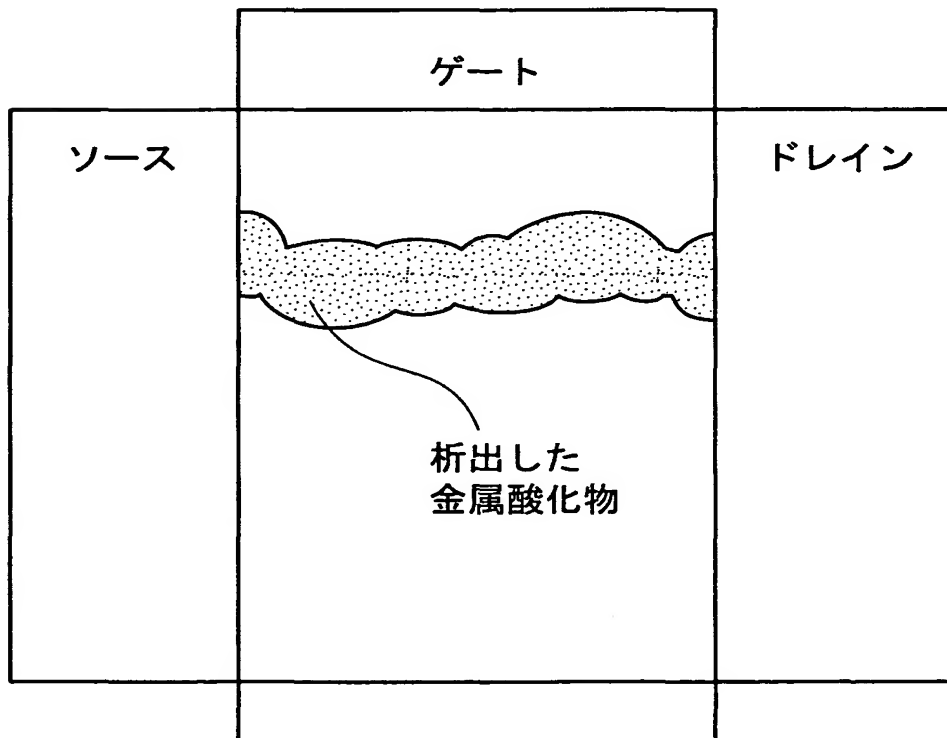
【図 2】



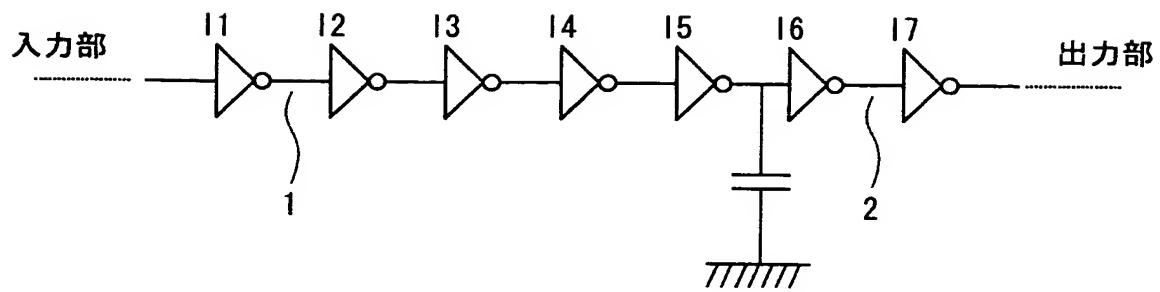
【図3】



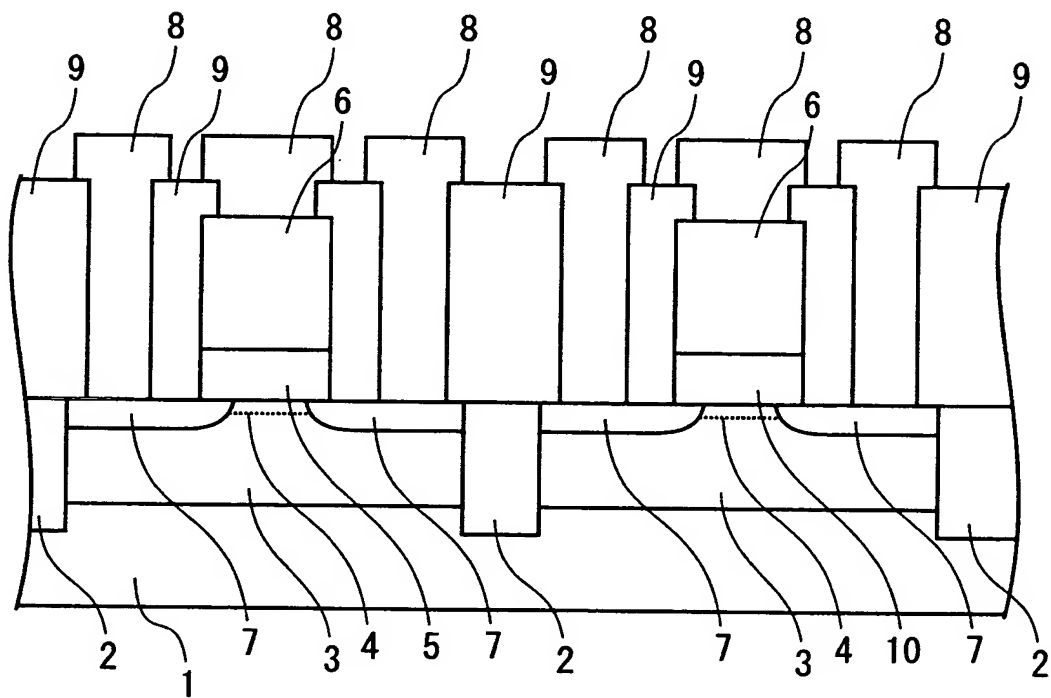
【図4】



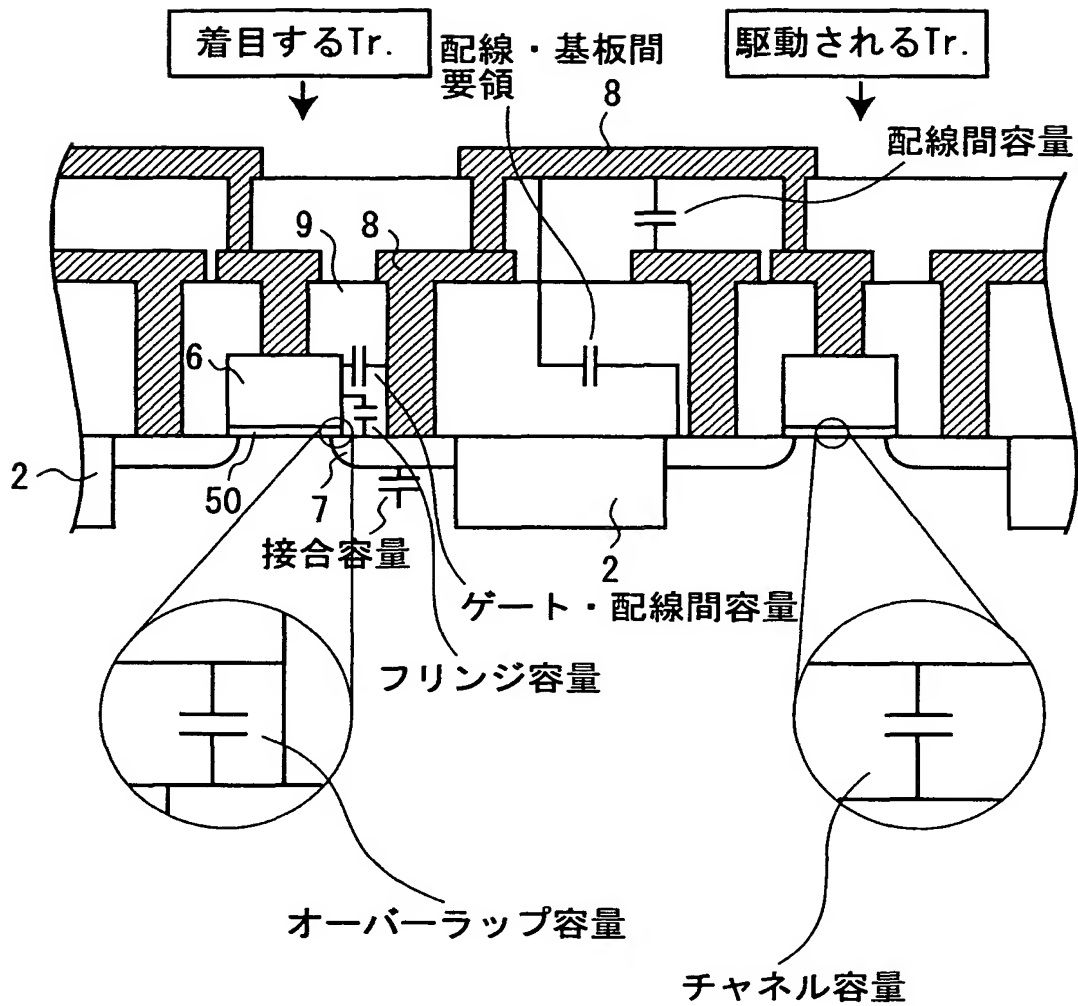
【図 5】



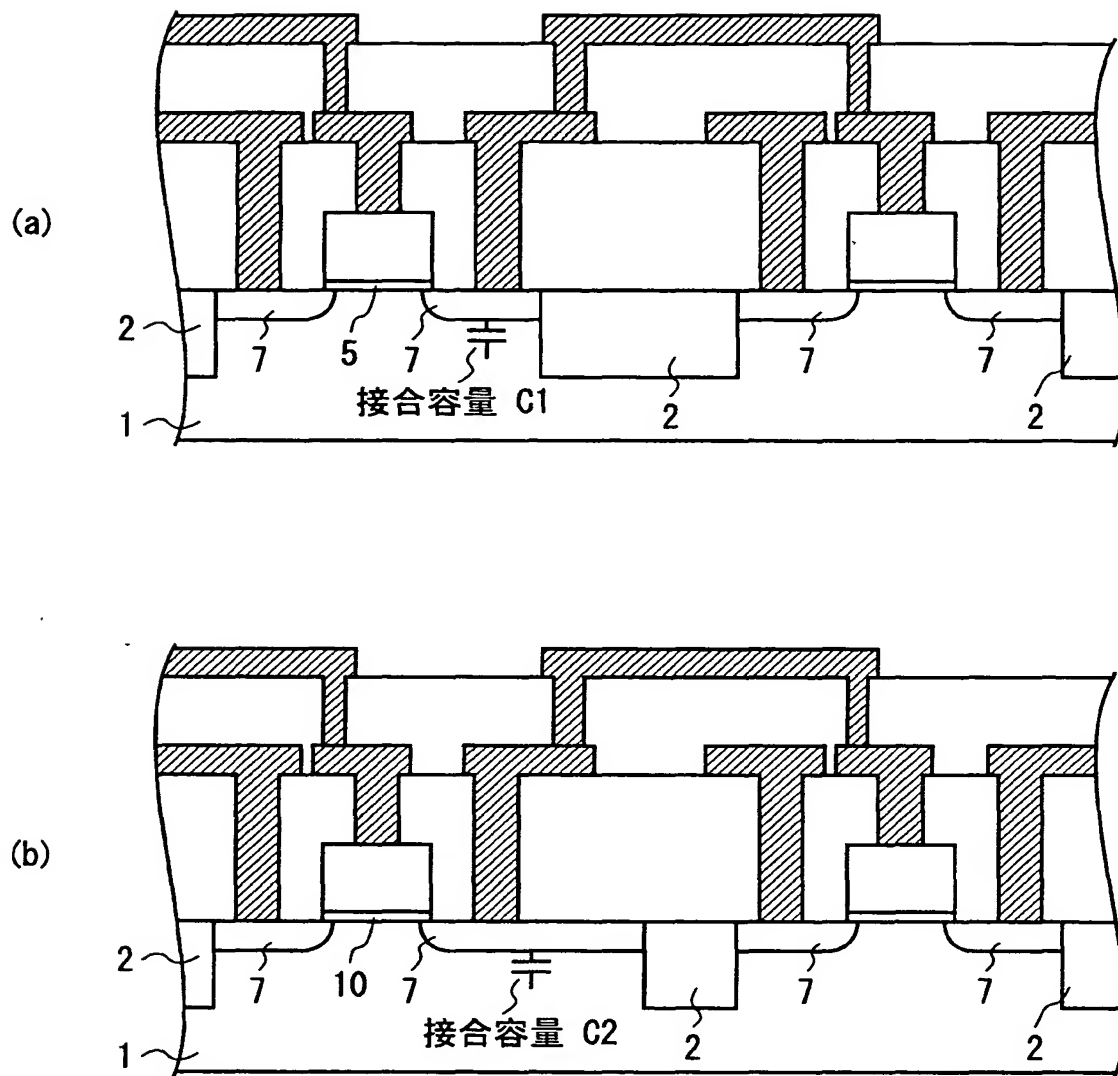
【図 6】



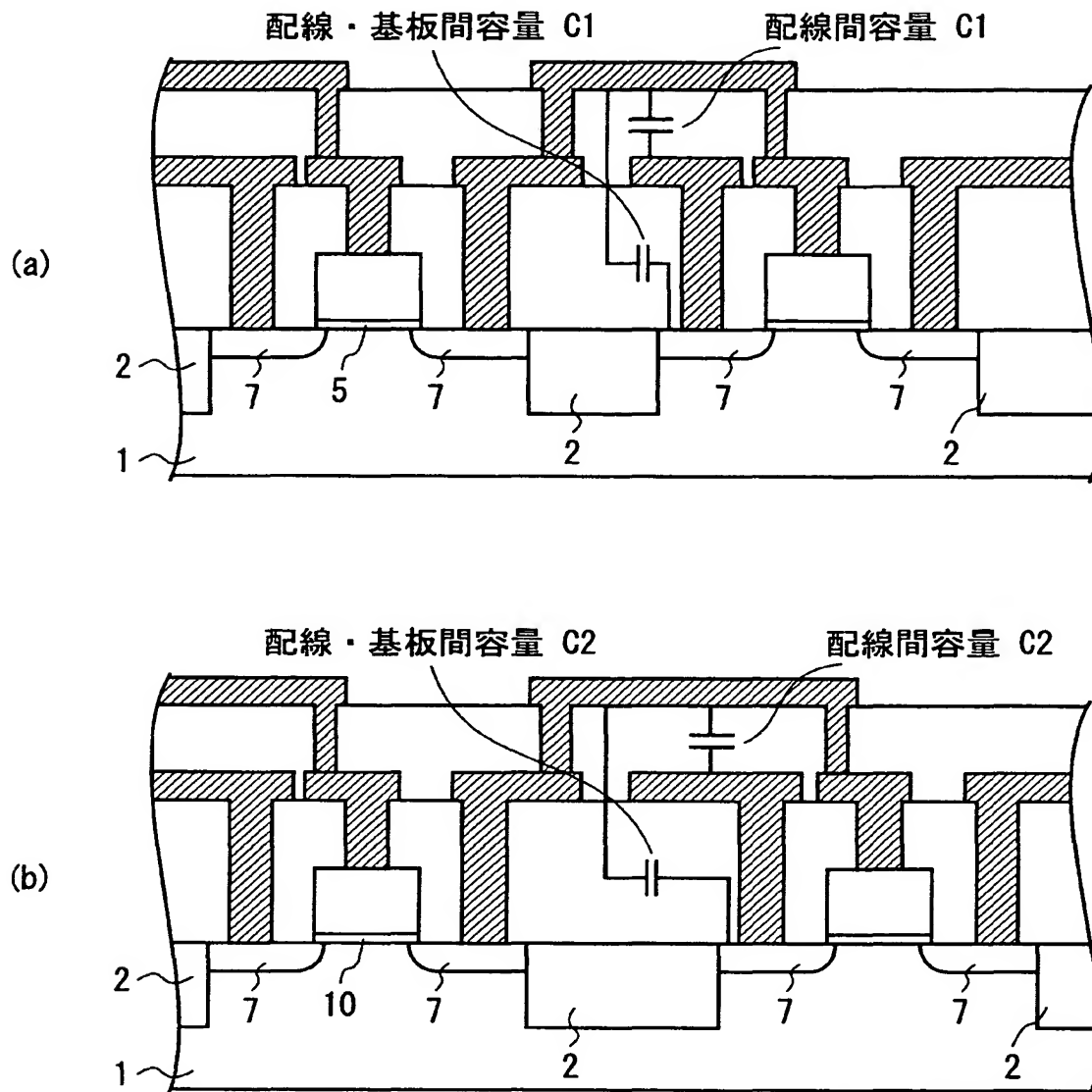
【図 7】



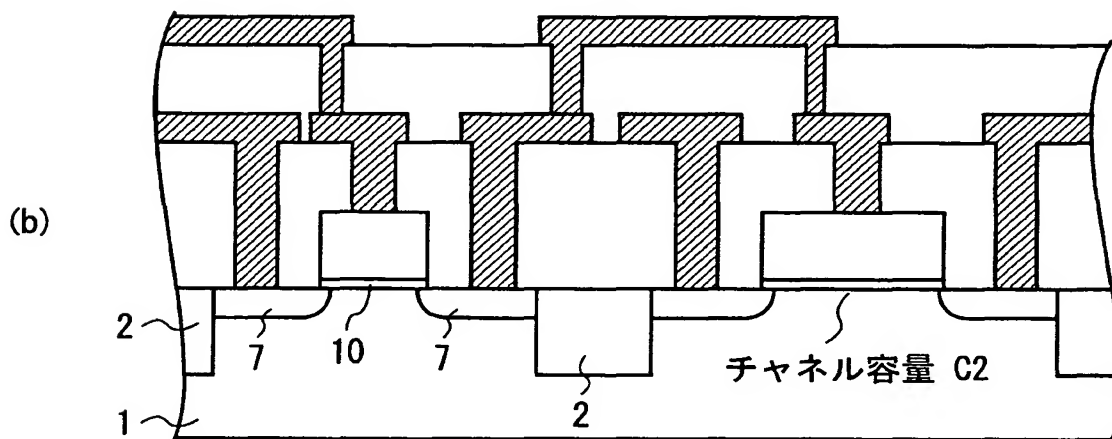
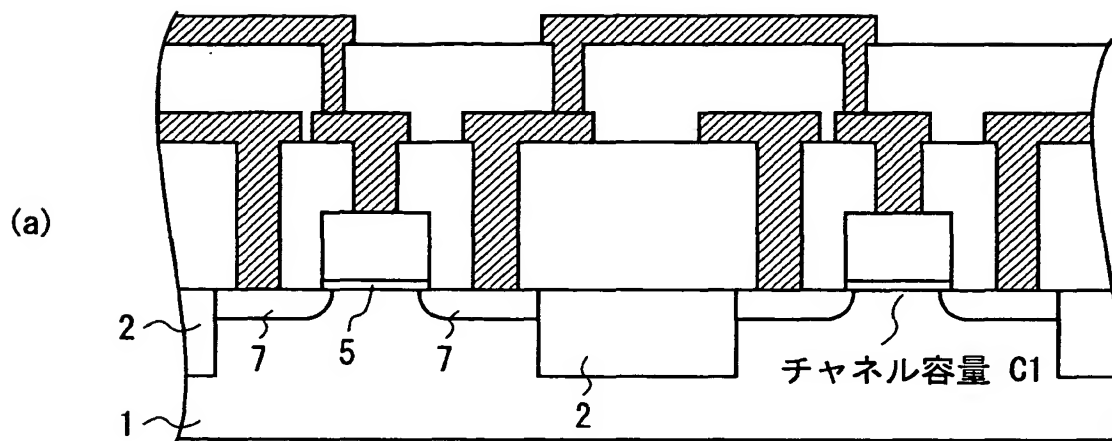
【図 8】



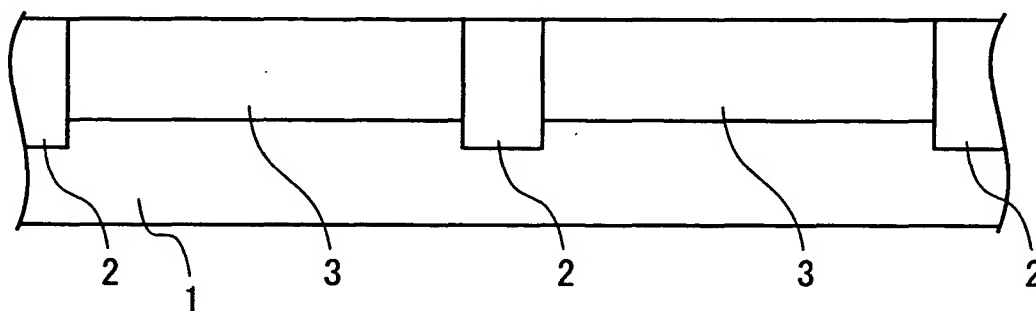
【図 9】



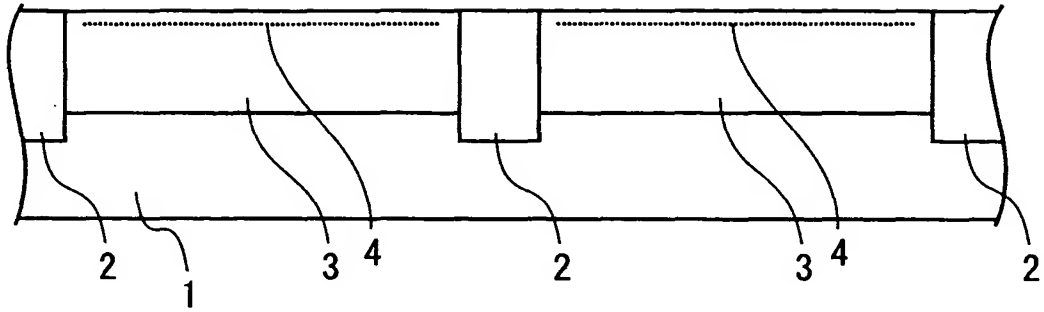
【図10】



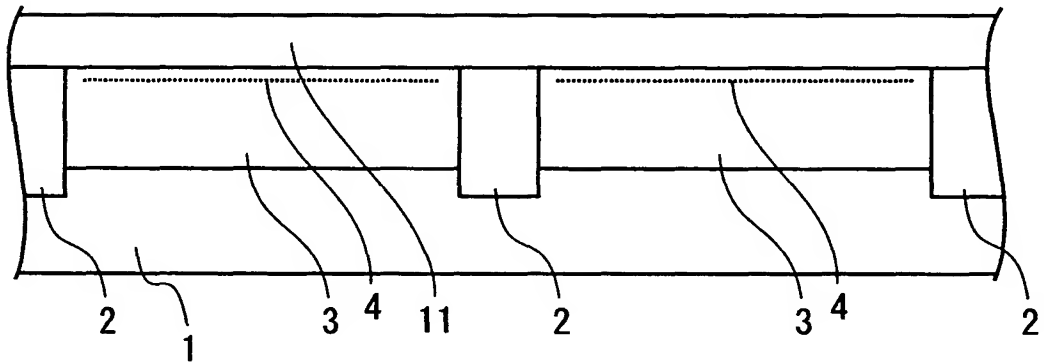
【図11】



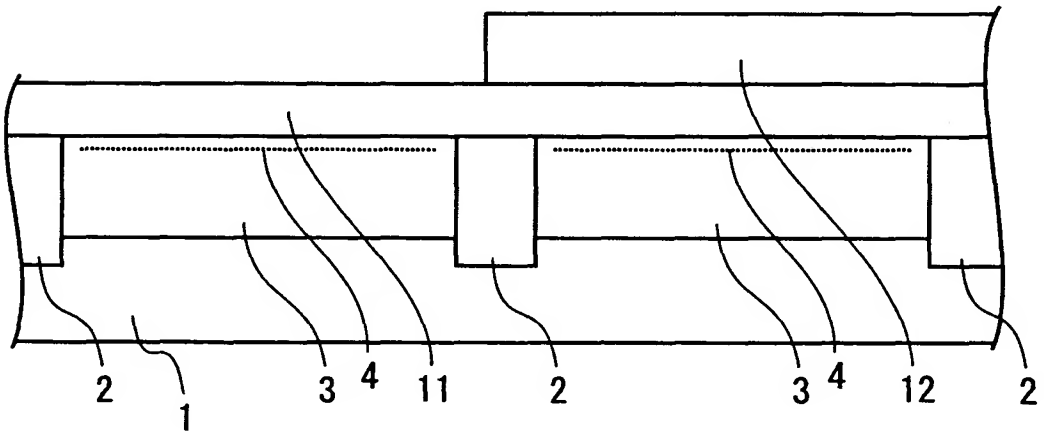
【図 1 2】



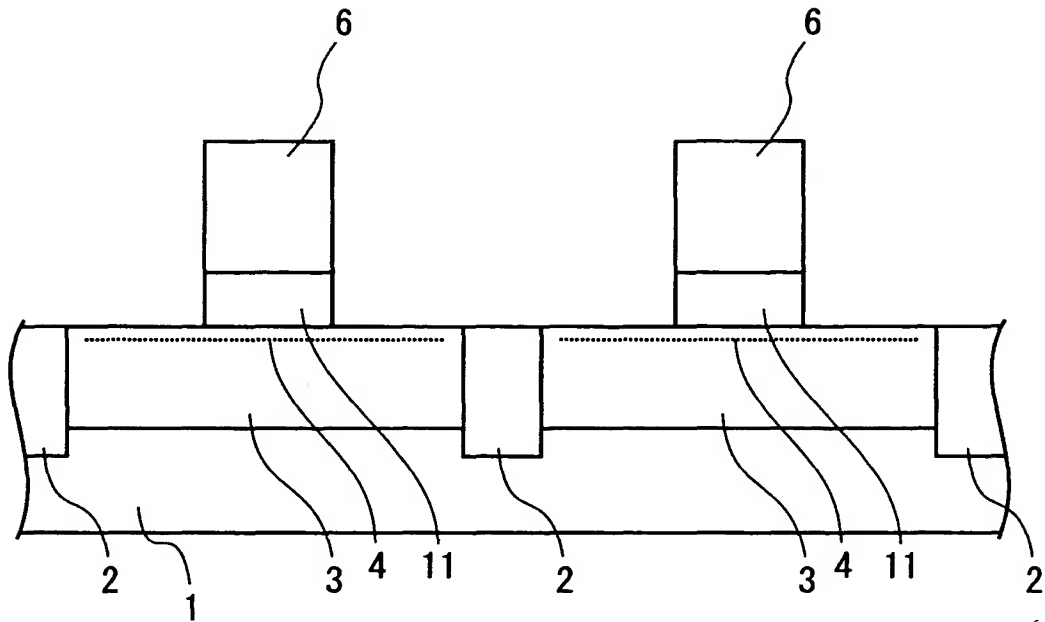
【図 1 3】



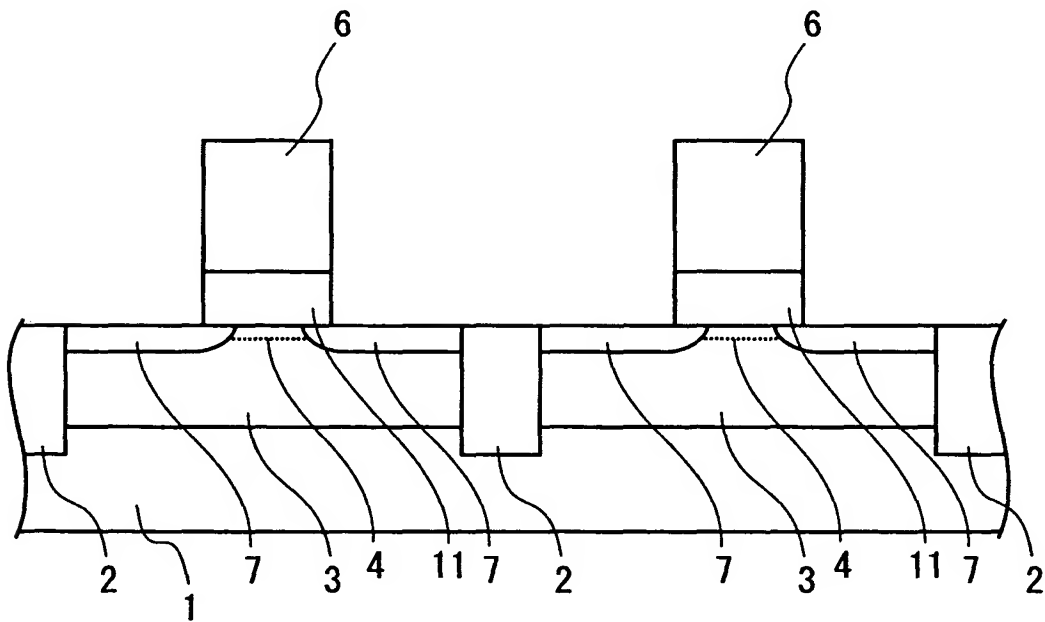
【図 1 4】



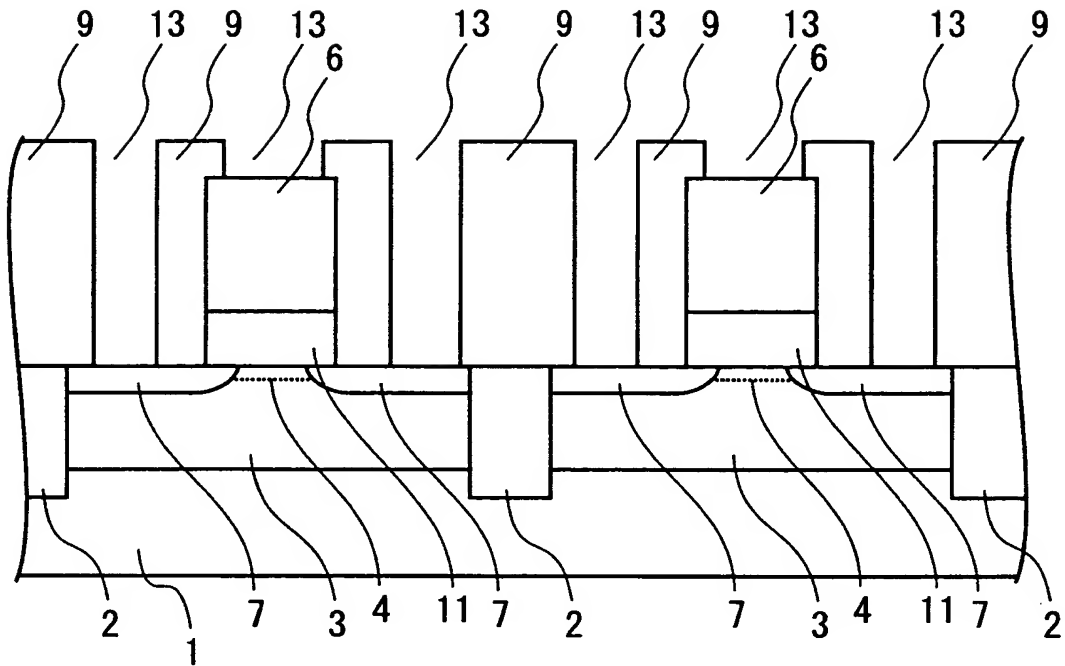
【図15】



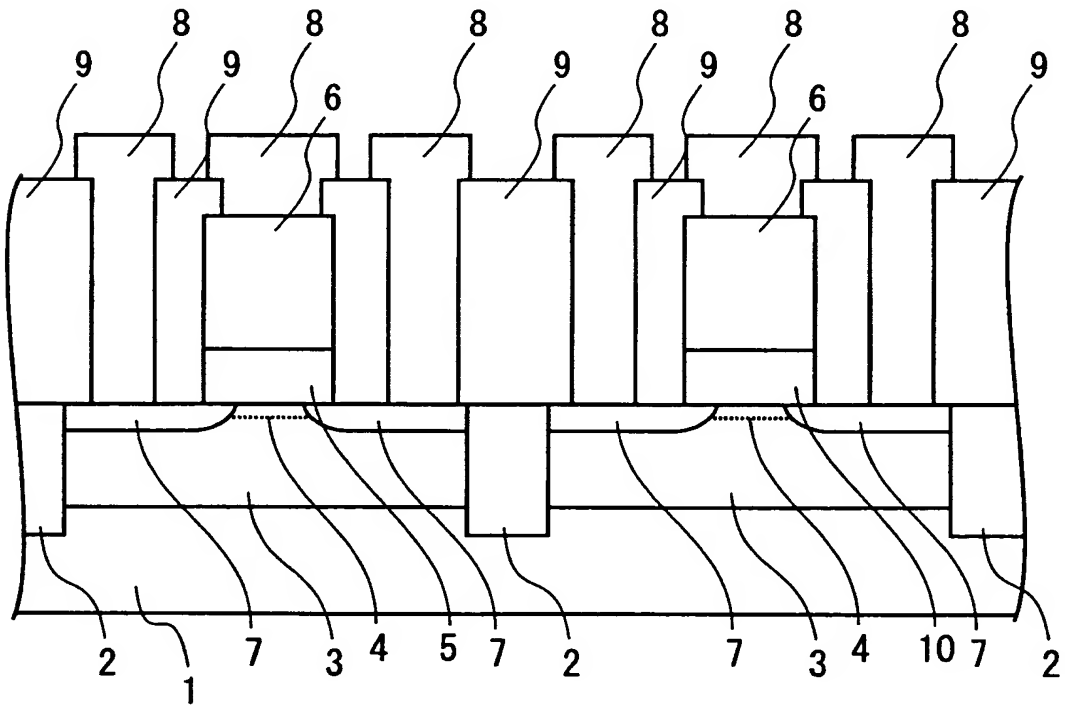
【図16】



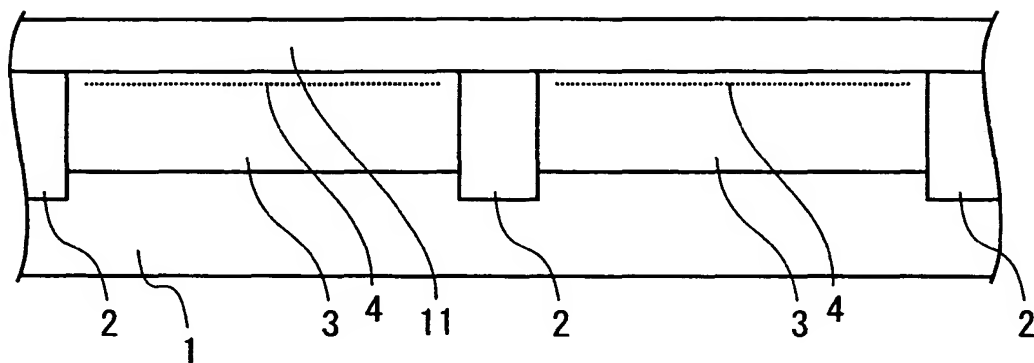
【図 17】



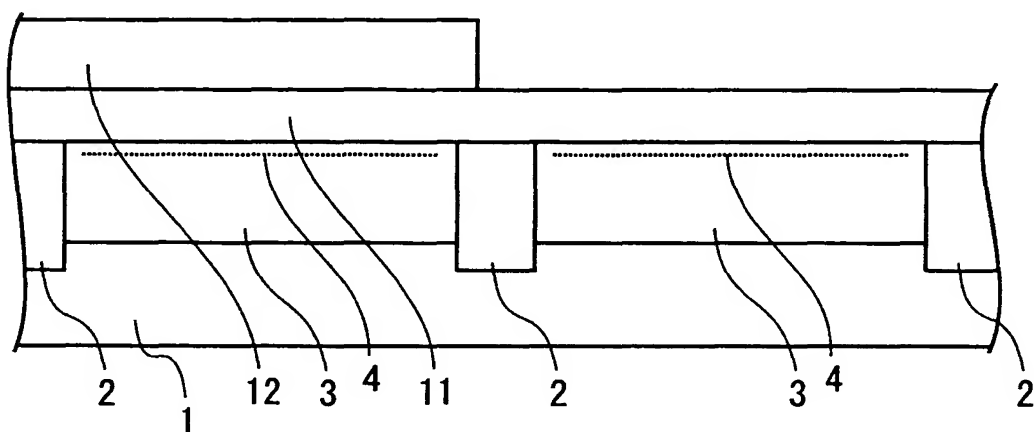
【図 18】



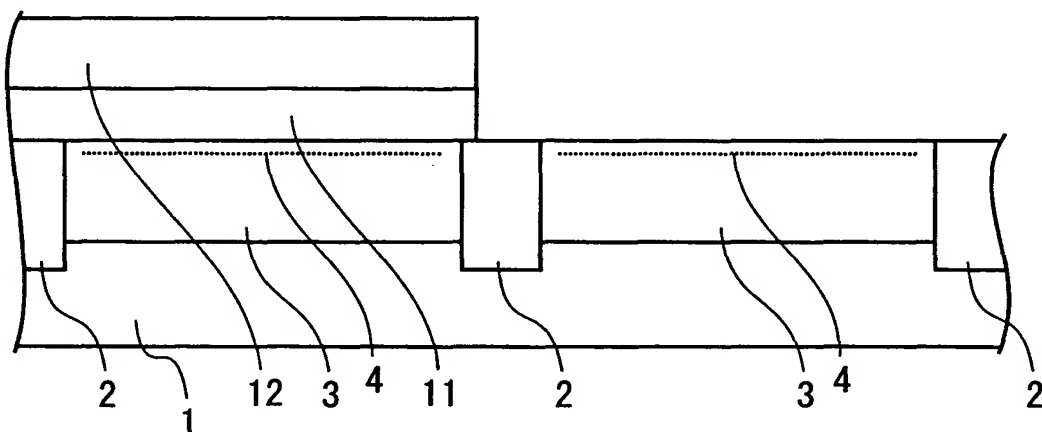
【図 19】



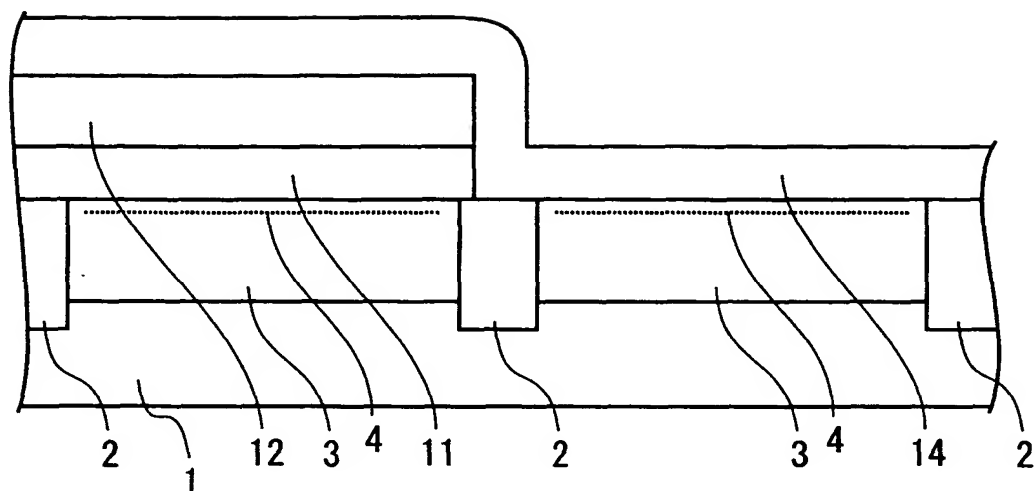
【図 20】



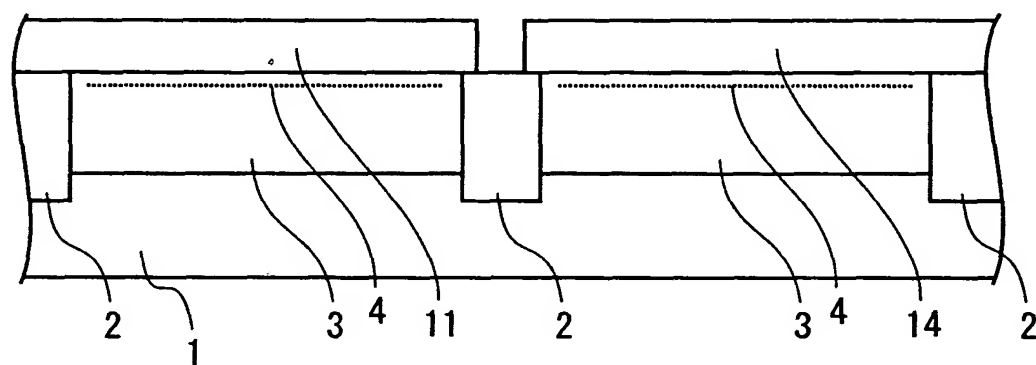
【図 21】



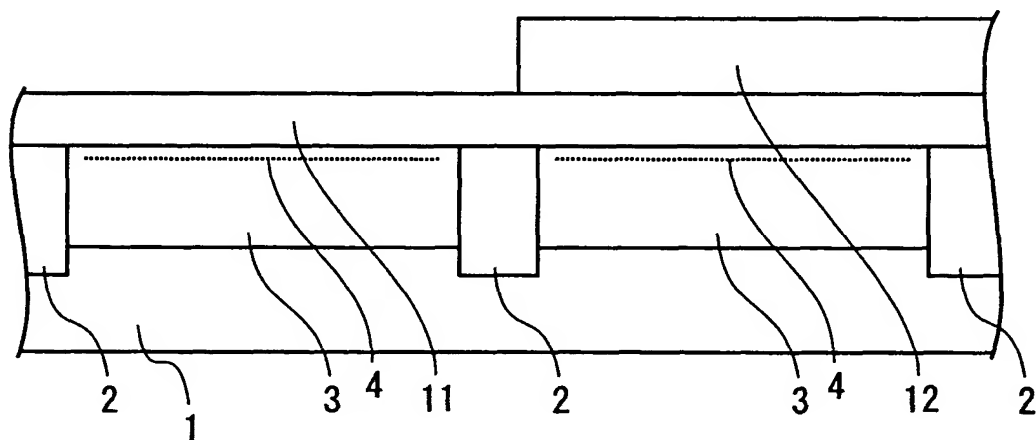
【図 2 2】



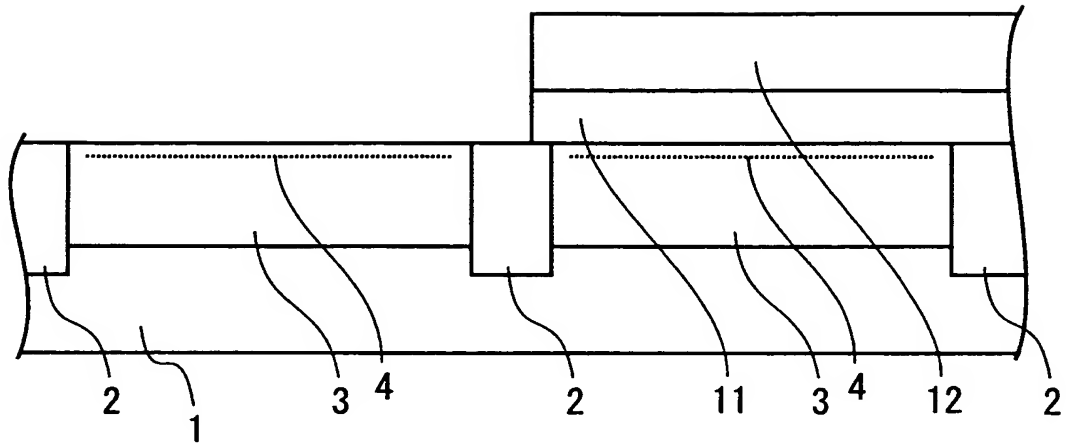
【図 2 3】



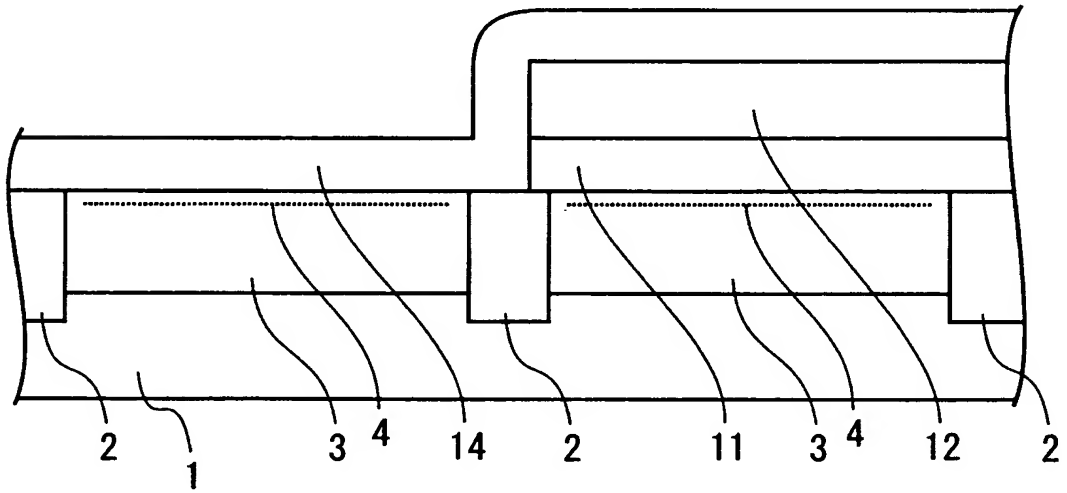
【図 2 4】



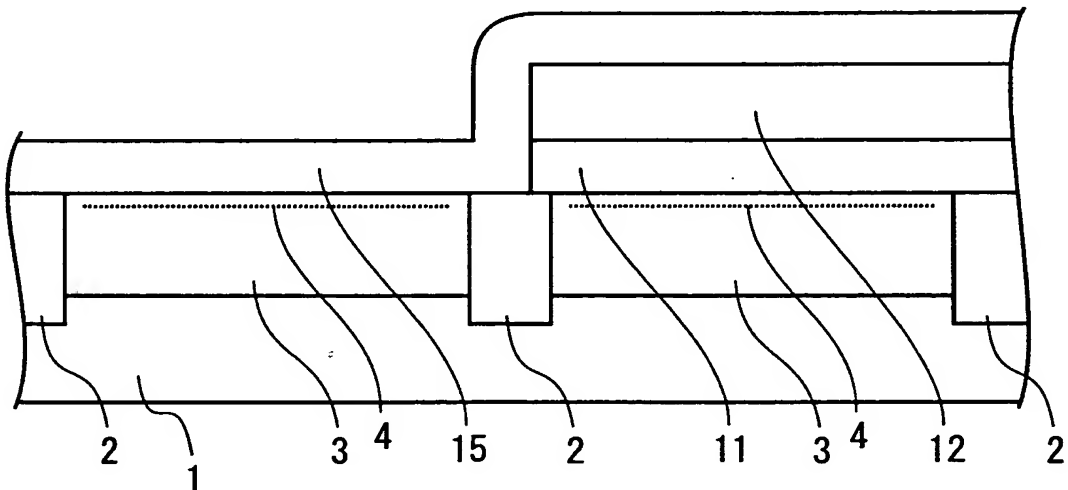
【図 25】



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】 高電流駆動能力と低静電容量とを実現し高速動作をする高性能の半導体装置を提供する。

【解決手段】 半導体基板 1 と、半導体基板 1 上に形成されたゲート絶縁膜 5、10 と、ゲート絶縁膜 5、10 上に形成されたゲート電極 6 と、ゲート絶縁膜 6 が形成された位置を挟むように互いに離間して半導体基板 1 表面に形成されたソース領域及びドレイン領域 7 とを備える第 1 及び第 2 の電界効果トランジスタを備える内部回路と、内部回路に接続された入出力部とを具備し、第 1 の電界効果トランジスタに接続された第 1 の負荷容量は、第 2 の電界効果トランジスタに接続された第 2 の負荷容量よりも大きく、第 1 の電界効果トランジスタのゲート絶縁膜 5 は、第 2 の電界効果トランジスタのゲート絶縁膜 10 よりも平均比誘電率が高い半導体装置。

【選択図】 図 6

特 2 0 0 2 - 2 5 9 5 9 8

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 5 9 5 9 8
受付番号	5 0 2 0 1 3 2 5 2 5 8
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 9 月 6 日

< 認定情報・付加情報 >

【提出日】 平成14年 9月 5日

次頁無

出 願 人 履 歷 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝